

一种全负载范围的谷底检测电路设计

郭 俊, 韩雨衡, 何泽炜, 李 威

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 针对反激式开关电源拓扑, 在基于前人对准谐振软开关研究的基础上, 提出了一种简单实用的谷底检测电路, 在全负载范围都能精确检测出谷底出现时刻, 适用于谐振频率在一定范围变化的场合, 方便外围拓扑设计. 基于 TSMC_0.5 μm BCD 工艺, 经 Spectre 仿真实验表明, 在谐振频率低于 2 MHz 不同负载情况下, 能比较精确检测出谷底时刻(误差小于 1%).

关键词: 全负载范围; 谷底检测; 准谐振; 开关电源; 高精度

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2015)02-0115-04

Design of Valley Detection Circuit over a Full Load Range

GUO Jun, HAN Yu-heng, HE Ze-wei, LI Wei

(State Key Lab of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci.
and Technol. of China, Chengdu 610054, China)

Abstract: For the structure of topological for Flyback switching power supply, a simple and practical valley detection circuit was put forward based on the research of quasi-resonance and soft switching by predecessors, which could accurately detect the voltage valley over a wide resonant frequency range greater and a full load range. Spectre simulation with TSMC_0.5 μm BCD process shows the circuit could accurately detect the voltage valley for different loads and resonant frequency under 2 MHz (relative error less than 1%).

Key words: full load range; valley detection; quasi-resonance; switching power supply; high precision

1 引言

提高效率一直都是开关电源芯片研究的热点. 随着电子产品集成度的不断提高, 对开关电源体积、重量、效率、性能提出了更高的要求, 在这种趋势下, 高频开关电源应运而生. 然而, 开关电源的高频化带来新的问题: 功率管开关损耗增大, 成为了限制开关电源转换效率提高的主要因素. 功率管开关损耗是由于功率管寄生参数的影响, 当功率管打开或者关断瞬间, 开关管电流和开关管漏源电压存在较大的交叠区域, 在这个过程中导致功率损耗.

为降低功率管开关损耗, 本文基于反激式开关拓扑引入准谐振技术, 设计出一种具体实现电路, 即谷底检测电路, 最大限度降低开关损耗, 实现开关电源转换效率提高.

2 准谐振软开关技术

如图 1(a)所示, 当功率管 Q1 关断后, 次级电感为负载电容和负载提供能量, 此时功率管漏端电压为式(1)所示:

$$V_D = V_{in} + V_o (N_p/N_s) \quad (1)$$

在市电 220 V 输入电压, 典型应用条件下, V_D 可高达 500 V 左右, 如果在此时刻打开功率管, 由寄生电容 C_1 产生的损耗很大 ($0.5 CV^2$), 对整个开关电源的效率有很大影响. 为了降低开关损耗, 人们提出了准谐振反激式控制模式开关电源. 当功率管 Q1 关断后, 次级电感为负载电容和负载提供能量, 当能量全部提供给负载电容和负载后, 由于功率管存在较大的寄生电容, 变压器原边电感和寄生电容 C_1 组成的 LC 谐振电路开始振荡, 图 1(a)中 V_D, V_o, V_{aux} 振

4.2 电路参数设计要点

① 当功率管振荡到谷底时,调节器件参数 $[(W/L)_{N4} \gg (W/L)_{P7}]$,使得P7管工作在饱和区,N4管工作在线性区,便于确定在谷底时刻对应的 V_x 值,最终为确定 V_{ref} 做参考。

② P7管工作在饱和区时的电流由电流源镜像而来,设计为定值,便于在不同的负载情况下谷底所对应的 V_x 也为一定值,保证谷底检测的准确性。

③ 当功率管振荡到谷底时,即 $V_{aux} = -(N_{aux}/N_s)V_o$ 时,使得 $V_b = 0$,以便于针对不同的负载方便调节外围拓扑电阻 R_1 ,此时 $R_1 = -V_{aux_max}/I_o$ 。

④ V_{N4_G} 尽可能小,以保证功率管开始谐振之前, $V_b[V_b = R_2 V_{aux}/(R_1 + R_2)]$ 可作为采集输出电压信号引脚,以顺应开关电源芯片引脚尽可能少的趋势。

当功率管开始谐振时,功率管漏端电压 V_d ,输出端电压 V_o ,辅边电感电压 V_{aux} ,谷底比较器输入端电压 V_x 波形图如下:其中 t_{on} 为功率管导通时间, t_{off} 为功率管关断时间, t_s 为谐振时间。

4.3 电路分析

如图2(b)所示 V_x 变化趋势图,当功率管漏端电压开始谐振后, V_x 的变化分为四个阶段:AB段,BC段,CD段,DE段。当 V_b 电压比较高,不足以开启N4管时, V_x 等于电源电压 V_{DD} ,即图2(b)中的AB段;当 V_b 低到可以开启N4管,由于开始电流较小,P7管处于线性区,即图2(b)中的BC段;当P7进入饱和区后, I_o 即为定值,由电流源I镜像而来,图2(b)中CD段为P7管,N4管都处于饱和区的状态,若忽略沟道调制效应,此阶段是瞬间完成,即 V_x 在这一阶段电压下降速率无穷大(实际上是有限值)此时有

$$\begin{cases} I_o = [(V_b - V_{aux})/R_1] + V_b/R_2 \\ V_b < V_{N4_G} - V_{N4_th} \approx 0 \\ I_o = -V_{aux_max}/R_1 \end{cases} \quad (3)$$

由上述公式可知,在这个阶段对应的 V_{aux} 约等于 V_{aux_max} ,即谷底时刻,误差仅为一个 V_b ,而此时 V_x 变化是从P7管进入饱和和线性区临界状态到N4管进入饱和和线性区临界状态,变化幅度比较大,本电路设计大约为1.2V。换句话说,设置谷底比较器的 V_{ref} 比设定值高1.2V,如果不考虑谷底比较器的响应时间,误差为 V_b ,为一个比较小的值;因此降低了对比较器性能的要求。当 V_x 继续下降,N4管进入线性区, V_x 变化变得缓慢。即图2(b)中的DE段。

正由于 V_x 下降过程中CD段的存在,保证了谷底检测具有很高的精度。

下面理论上推导谷底所对应的 V_x 的值^[6]:

$$\begin{aligned} I_o &= \mu_n C_{ox} (W/L)_{N4} [(V_{N4_G} - V_b - V_{th_N4}) (V_x - V_b) - \\ &\quad \frac{1}{2} (V_x - V_b)^2] \\ &= -V_{aux}/R_1 \end{aligned} \quad (4)$$

解得

$$\begin{aligned} V_{x0} &= (V_{N4_G} - V_{th_N4}) - \\ &\quad \sqrt{(V_{N4_G} - V_{th_N4})^2 - \frac{2I_o}{\mu_n C_{ox} (W/L)_{N4}}} \end{aligned} \quad (5)$$

根据 V_{x0} 值来确定谷底比较器 V_{ref} 的值。

由于 V_x 节点存在寄生电容,此电容主要由N4管的栅漏电容、栅衬底电容、比较器的栅漏、栅源电容组成,此电容如果过大,会影响图2(b)中CD阶段 V_x 下降的速度,继而影响谷底检测的精度。此外,比较器的谷底延迟时间原则上也会对谷底检测的精度造成影响。下面理论上推导响应延迟时间对谷底检测的影响,假设拓扑输出端续流二极管电流为零的时刻, t 等于零,假设谐振为理想振荡,则

$$V_{aux}(t) = V_{aux_max} \cos(2\pi f_{谐振} t) \quad (6)$$

假设谷底比较器响应时间为 Δt :

$$\begin{aligned} |\Delta V_{aux}| &= |V_{aux}(t_{谷底} + \Delta t) - V_{aux}(t_{谷底})| \\ &= |V_{aux}'(t)| \\ &\approx \left| 2\pi f_{谐振} V_{aux_max} \sin\left[2\pi f_{谐振}(t_{谷底} + \frac{\Delta}{2}t)\right] \right| \\ &\approx |2\pi^2 f_{谐振}^2 (\Delta t)^2 V_{aux_max}| \end{aligned} \quad (7)$$

式中, $V_{aux}'(t)$ 表示函数 $V_{aux}(t)$ 的导数, t 是介于 $t_{谷底}$ 和 $(t_{谷底} + \Delta t)$ 之间的某一时刻,由式(7)知,谐振频率越低,比较器响应时间越小,负载越轻,误差越小。因此,当谐振频率不是特别高,合理设置次级电感匝数与辅边匝数之比,对比较器性能一般的情况下仍能达到很高的精度。当谐振频率为0.5 MHz, V_{aux_max} 为8V, Δt 为20 ns, $|\Delta V_{aux}|$ 为0.016 V。

上文已经讨论了由于 V_x 下降过程中CD段的存在决定了设置 V_{ref} 高于 V_{x0} 不会引起较大的误差;而 V_{ref} 设置大于 V_{x0} 可以同时减小寄生电容和谷底比较器响应延迟时间引起的误差;所以一般 V_{ref} 设置要比 V_{x0} 大,可在仿真调试中作参考。在保证谷底时刻发生在N4管工作在线性区及比较器的增益足够大的情况尽可能减小N4管和谷底比较器输入管的尺寸,以降低寄生电容大小,使得谐振频率上限尽可能高;流过P7管的定值电流在电路容许的情况下尽可能大(此电路设计为40 μA)。

在功率管开通期间, V_a 为低电平, 流过 P3, P4 两路电流不为零, 流进 V_b 的电流就远大于 I_o (参数设计使其满足), 如图 2(a) 所示, 换句话说, 当功率管导通期间, 谷底检测模块失效, 大大增强电路的抗干扰能力. 图 2(a) 中反相器 INV1, MOS 管 P1, 电阻 R_3 的作用是: 当功率管关断期间, MOS 管 P2 断开时防止 MOS 管 P4 栅极悬空, 影响谷底检测精度.

5 电路仿真和分析

基于 TSMC_0.5 μm 工艺提供的器件模型, 在电源电压为 4 V 时, 利用 Spectre 对满足本文参数设计要求的实际检测电路分别在不同负载、不同谐振频率、不同环境温度下进行功能仿真, 仿真中用正弦波模拟 V_{aux} , 具体波形所对应的变量在图中已标明, 仿真结果如图 3~5 所示.

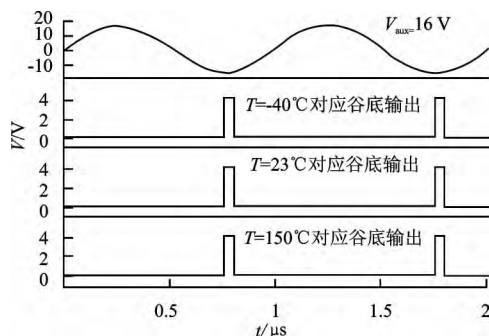


图 3 不同温度对应的谷底输出仿真波形图
(从第二行开始依次对应 -40°C , 25°C , 150°C)

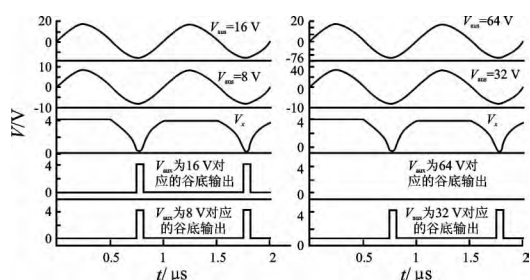


图 4 V_{aux} 为 64 V、32 V、16 V、8 V 对应的
谷底检测仿真波形图

6 结束语

本文在前人对准谐振软开关原理和谷底检测电路的研究基础上, 提出一种新的谷底检测电路, 电路结构虽然简单, 但是对谷底比较器性能没有很高的要求的情况, 依然比较精确的在全负载范围内实现了谷底检测功能, 适用于谐振频率变化较大的场合, 抗干扰能力强. 仿真结果表明, 在不同负载情况下,

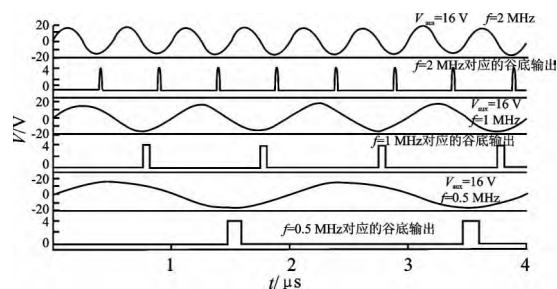


图 5 谐振频率为 2 MHz、1 MHz、0.5 MHz 谷底输出仿真波形
谐振频率在 0.5~2 MHz 内变化, 环境温度在 -40°C ~ 150°C 范围内, 设计电路均能精确检测出谷底出现时刻, 较好的实现了电路预期设计的功能. 同时, 此电路可以集成在开关电源管理芯片中, 却不额外增加引脚, 因此具有较高的工程使用价值, 可广泛应用于各种反激式开关电源管理芯片中.

参考文献:

- [1] 赵军. 开关电源技术的发展[J]. 船电技术, Marine Electric & Electric Technology, 2005(5):13-16.
- [2] Okabe T, Katsueda. Characterization and improvement of power MOSFET switching loss[C]// Telecommunications Energy Conference. Tokyo: IEEE: 1983: 508-513.
- [3] 滕妨华. 准谐振软开关反激变换器的研究[J]. 电源技术应用, Power Supply Technologies and Applications, 2003, 6(11):9-11.
- [4] Sun Liang, Chen Si, Wu Xiaobo, et al. The circuit with valley switching technique[C]// IEEE Conference on Electron Devices and Solid-State Circuits. Tainan: IEEE, 2007: 941 - 943.
- [5] 张子澈, 武国胜. 一种波峰波谷检测方法和电路[P]. 中国: 发明专利, CN 101498747 A, 2009-08-05.
- [6] Behzad razavi design of analog CMOS integrated circuits[M]. 陈贵灿, 程军, 张瑞智, 译. 西安: 西安交通大学出版社, 2002:13-16.

作者简介:

郭俊男, (1988-), 硕士研究生. 研究方向为模拟集成电路设计, 开关电源管理芯片电路研究与设计.
韩雨衡 男, (1989-), 硕士研究生. 研究方向为模拟集成电路设计, 开关电源管理芯片电路研究与设计.
何泽伟 男, (1988-), 硕士研究生. 研究方向为模拟集成电路设计, 开关电源管理芯片电路研究与设计.
李威 男, (1959-), 教授, 博士生导师. 研究方向为新型功率半导体器件与集成电路和系统设计.